

# Ερευνητικές Κατευθύνσεις

*Τομέας Υλικού  
και Αρχιτεκτονικής Υπολογιστών*



# Πανεπιστήμιο Θεσσαλίας



# ΤΜΗΥΤΑ

- Ιδρύθηκε το 2000
- Ένα από τα 17 τμήματα του Πανεπιστημίου Θεσσαλίας
- Ένα από τα 5 τμήματα της Πολυτεχνικής Σχολής
  
- ❖ 15 μέλη ΔΕΠ
- ❖ 750 προπτυχιακοί φοιτητές
- ❖ 100 μεταπτυχιακοί και διδακτορικοί φοιτητές

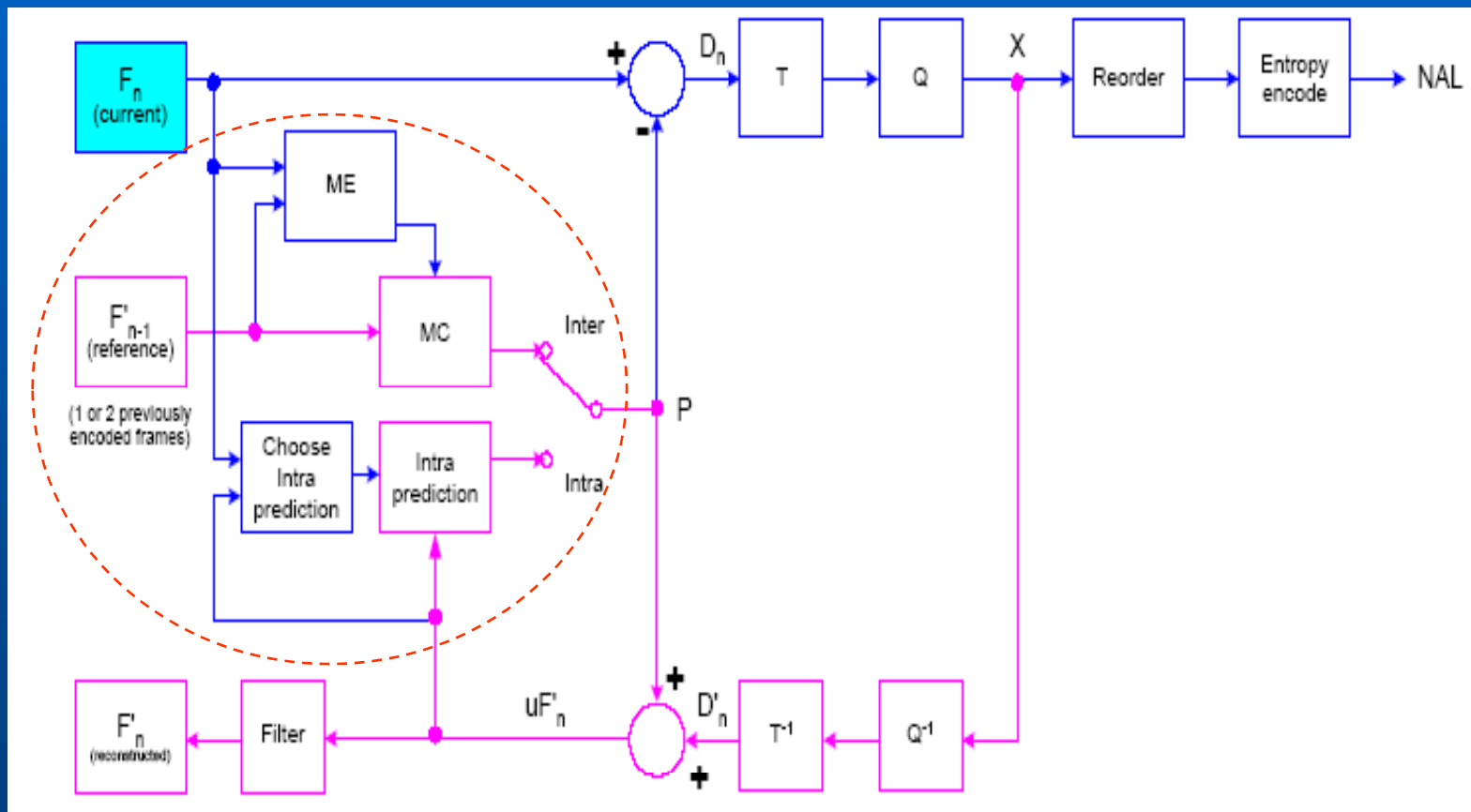
# ΤΜΗΥΤΔ - Τομείς

- Εφαρμογών και Θεμελιώσεων της Επιστήμης των Υπολογιστών
- Τεχνολογιών Λογισμικού και Πληροφοριακών Συστημάτων
- Υλικού και Αρχιτεκτονικής Υπολογιστών
- Σημάτων, Τηλεπικοινωνιών και Δικτύων
- Ηλεκτρικής Ενέργειας

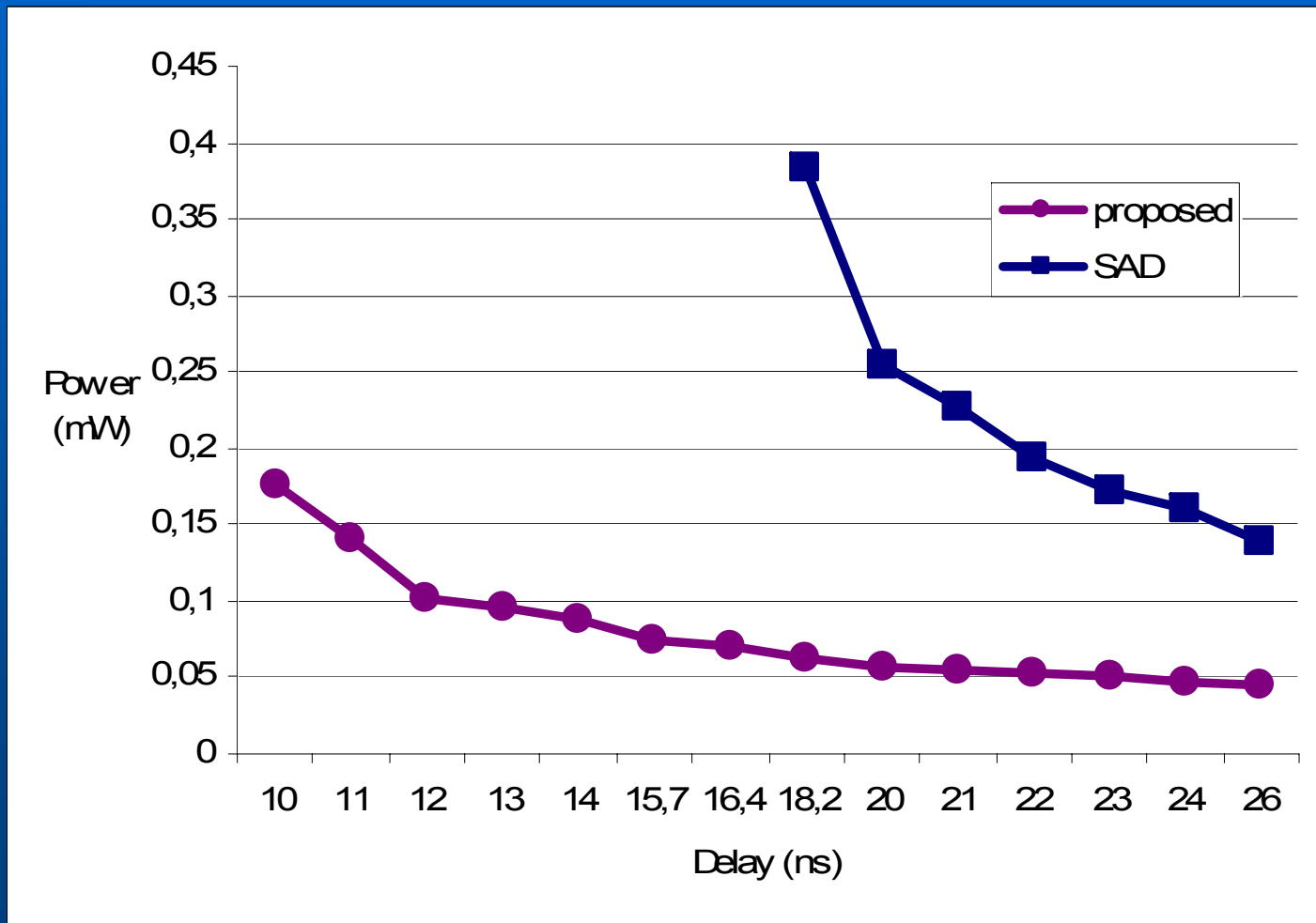
# Τομέας Υλικού και Αρχιτεκτονικής Υπολογιστών

- Αρχιτεκτονική και Σχεδίαση Χαμηλής Ισχύος
  - Σχεδίαση επεξεργαστών
  - Αρχιτεκτονικές για επεξεργασία βίντεο
  - Αναδιατασσόμενα κυκλώματα
- Εργαλεία CAD
  - Υπολογισμός και βελτιστοποίηση ισχύος
  - Υπολογισμός και βελτιστοποίηση πτώσης τάσης (IR-drop)
  - Soft error rate
- Ασύρματα Δίκτυα Αισθητήρων
  - Αισθητήρες
  - Εφαρμογές δικτύων αισθητήρων
  - Προσομοίωση και ανάλυση της ισχύος ασυρμάτων δικτύων αισθητήρων

# Αρχιτεκτονική και Σχεδίαση Χαμηλής Ισχύος *H.264 encoder*



# Αρχιτεκτονική και Σχεδίαση Χαμηλής Ισχύος *H.264 encoder*



# Αρχιτεκτονική και Σχεδίαση Χαμηλής Ισχύος

## *H.264 encoder*

- Επιτυγχάνουμε την ίδια συμπίεση
- Δεν χρησιμοποιούμε το άθροισμα απόλυτων διαφορών για να επιλέξουμε την βέλτιστη συμπίεση
- Υλοποιήσαμε μια αρχιτεκτονική με:
  - μικρότερη πολυπλοκότητα
  - μικρότερη επιφάνεια (~2X)
  - μεγαλύτερη ταχύτητα (~2X)
  - μικρότερη κατανάλωση ισχύος (3-6X)



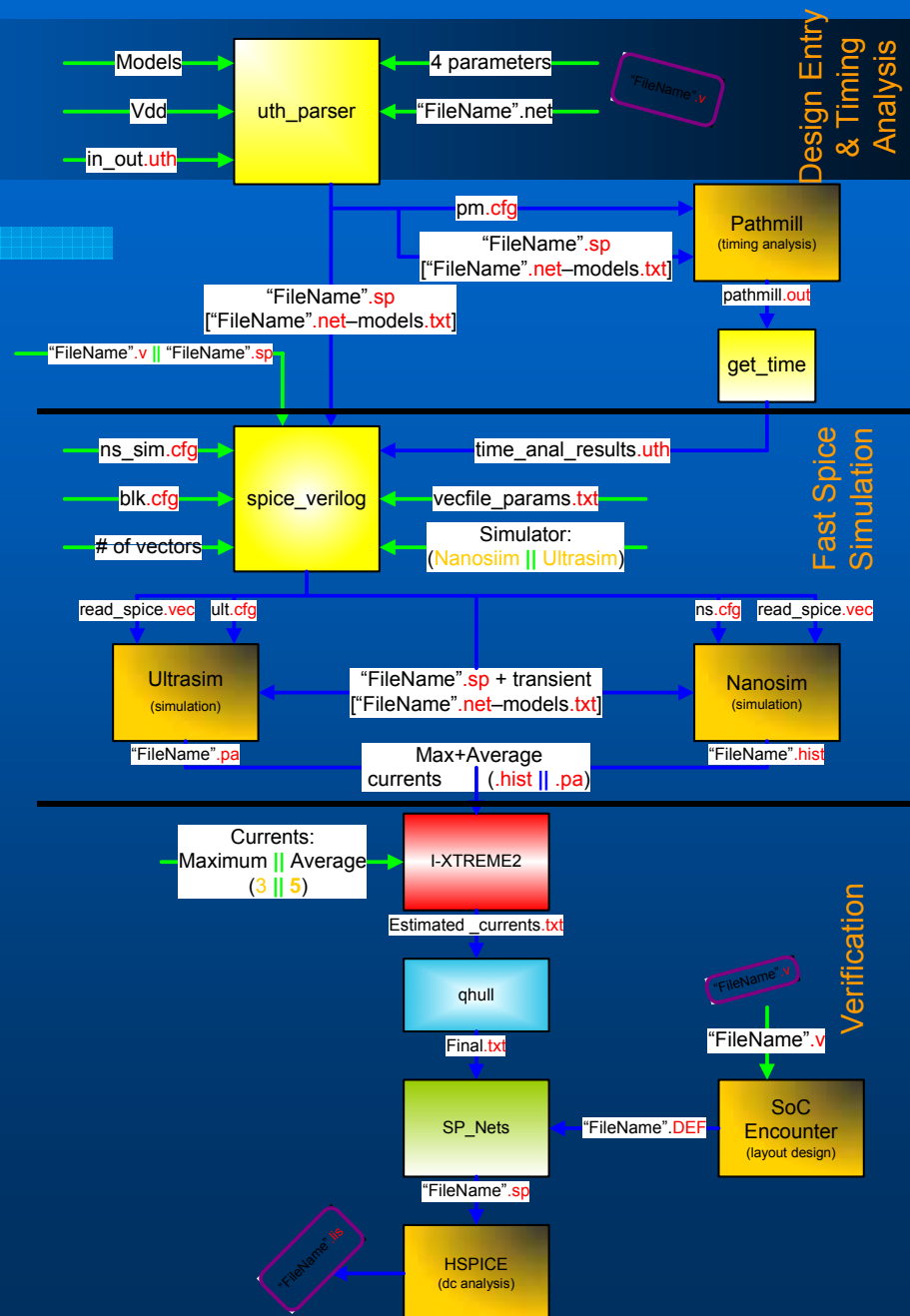
# Αρχιτεκτονική και Σχεδίαση Χαμηλής Ισχύος

## *H.264 encoder – ολοκληρωμένο σύστημα*

	Shen et al.	Huang et al.	Sayed et al.	Proposed
Block size	8x8, 16x16, 32x32	4x4, 4x8, 8x4, 8x8, 8x16, 16x8, 16x16	4x4, 4x8, 8x4, 8x8, 8x16, 16x8, 16x16	4x4, 4x8, 8x4, 8x8, 8x16, 16x8, 16x16
Process	0.60μm	0.35μm	0.18μm	0.13μm
Voltage (V)	2.5 & 5	-	1.6	1.2
Clock freq. (MHz)	60	66.67	122	241
Power (mW)	423.8	737.32	283.96	95

# Εργαλεία CAD

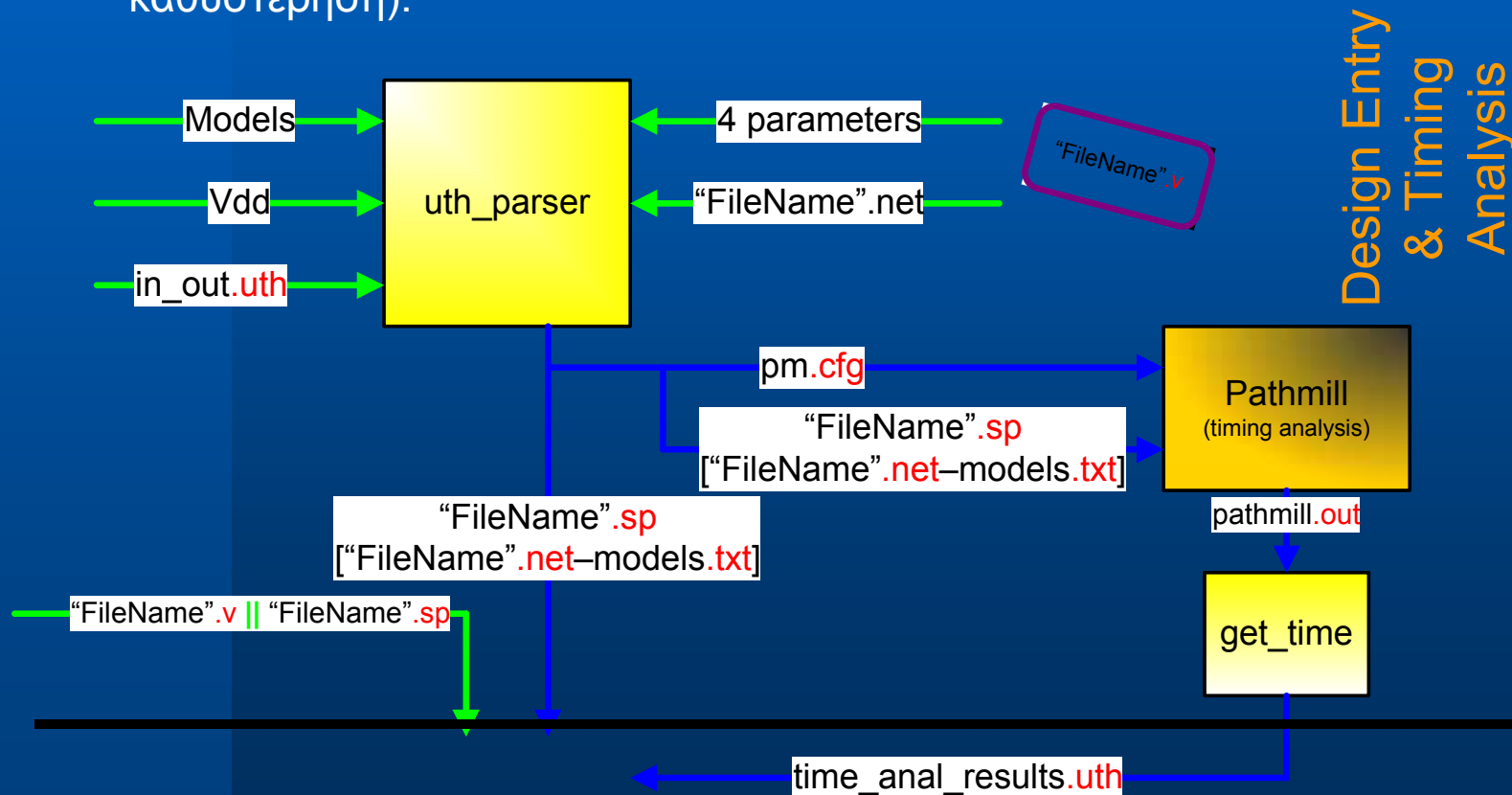
## IR-drop flow



# Εργαλεία CAD

## IR-drop flow

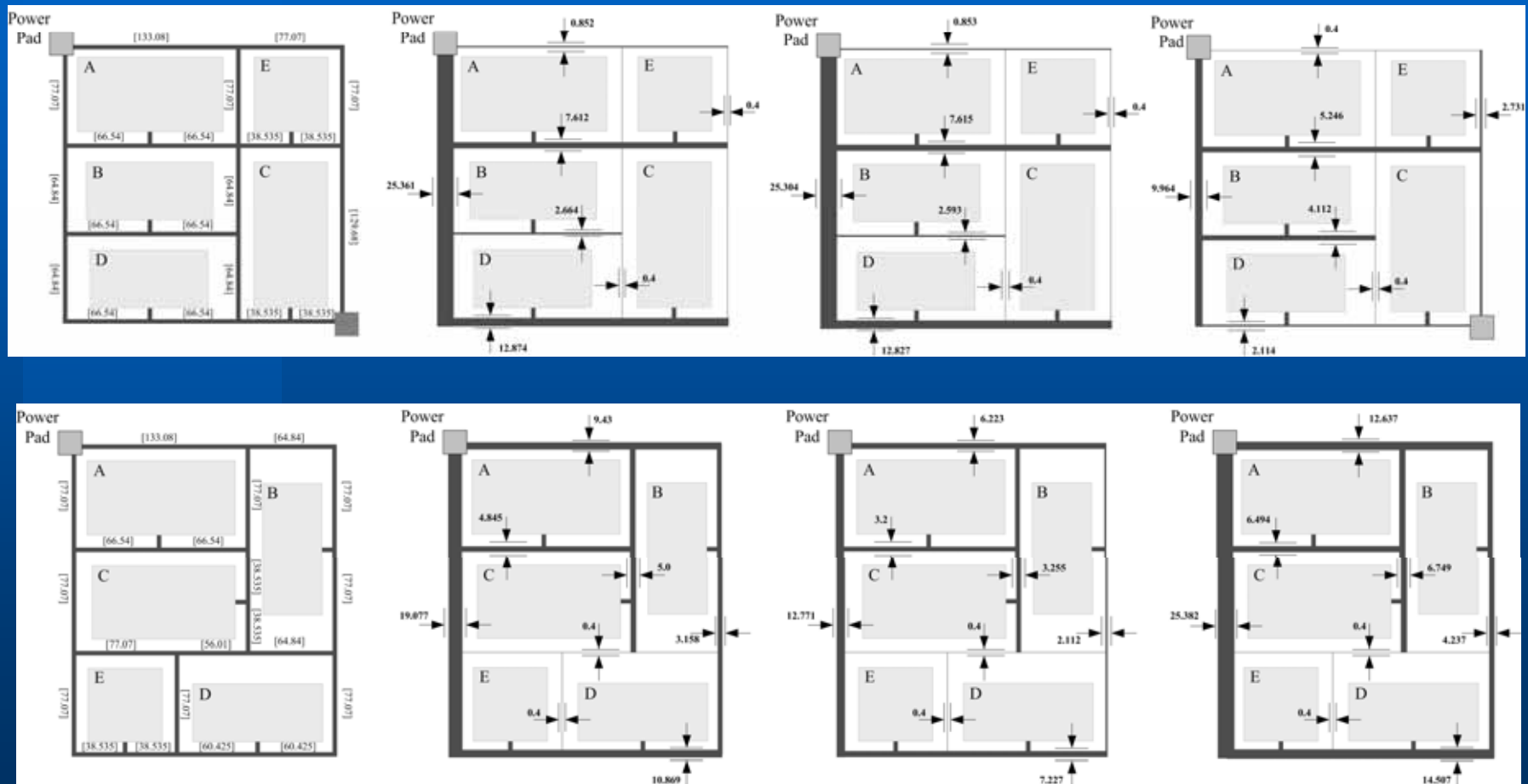
- δημιουργία του spice αρχείου με την σχεδίαση που επεξεργαζόμαστε.
- πέρασμα της σχεδίασης από εργαλείο ανάλυσης χρονισμού (**PathMill**) και στη συνέχεια επιλογή του κρίσιμου μονοπατιού (με τη μέγιστη καθυστέρηση).



# Αποτελέσματα

Circuit	Current sink	Sample max. (mA)	Estimated max. (mA)	95% Conf. interval	Diff. vector
c1355	sink-A	27.24	35.42	±2.58	8.18
	sink-B	24.86	34.51	±2.45	9.65
	sink-C	28.58	38.60	±3.03	10.02
	sink-D	12.32	16.31	±1.27	3.99
	sink-E	20.37	30.01	±2.61	9.64
c6288	sink-A	273.54	349.91	±23.80	76.37
	sink-B	119.81	157.73	±11.31	37.92
	sink-C	148.28	190.96	±11.46	42.68
	sink-D	100.17	133.45	±7.49	33.28
	sink-E	102.48	119.90	±6.13	17.42

# Αποτελέσματα



# Εργαλεία CAD

## *Πλατφόρμα εργαλείων προσομοίωσης*

- A switch-level timing simulator
  - tx-level delay/power/leakage/SER estimates
  - building macromodels for gate-level simulation
- A zero/unit/assignable delay gate-level simulator
  - delay/power/leakage/SER
- Static timing analysis
  - Logical-effort based
- Logic function extraction
- Technology mapping utility
- Transistor sizing utility

# Αποτελέσματα – ρεύμα διαρροής

Circuit	Gates		Levels		Leakage		
	before	after	before	after	before	after	%improvement
S838	607	580	28	25	16963	11323	33.25%
S838_1	607	580	28	25	16963	11323	33.25%
S953	480	550	17	15	7412	6575	11.29%
S1196	748	881	37	28	26735	13945	47.84%
S1238	754	892	37	32	28261	16204	42.66%
S1423	991	1079	110	74	29604	11586	60.86%
S1488	1203	1209	29	21	16732	13334	20.31%
S1494	1205	1216	29	21	16401	13225	19.37%
S5378	3018	2902	30	21	102166	51010	50.07%
S9234	6983	5073	79	53	146606	88033	39.95%
S9234_1	6983	4976	79	53	146805	87551	40.36%
S13207	9577	6946	78	51	176828	126468	28.48%
S13207_1	9577	7038	78	55	180697	131826	27.05%
S15850	12101	8488	103	64	219903	121725	44.65%
S38417	26559	21528	58	41	364557	245754	32.59%
S38584	27390	24630	67	50	266479	229191	13.99%

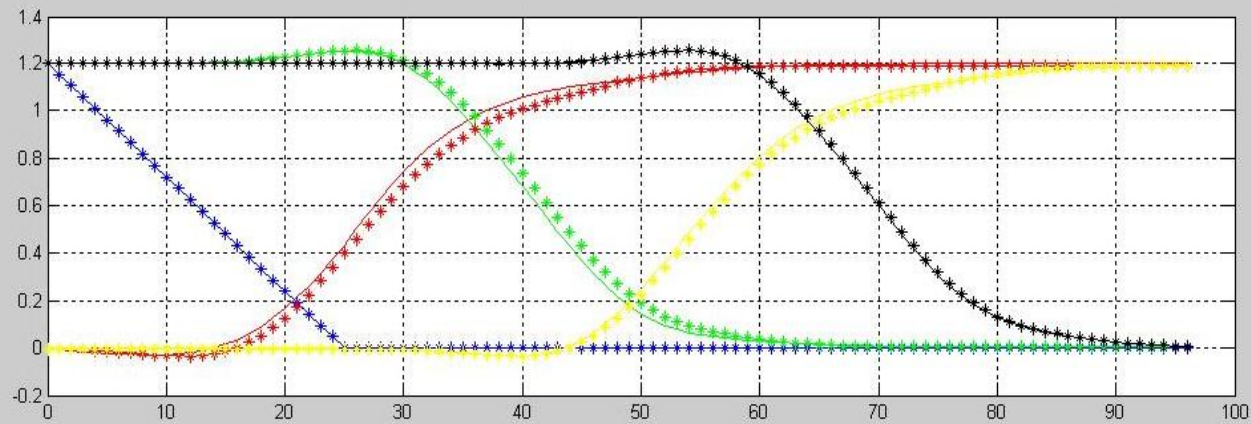
# Αποτελέσματα – δυναμική ισχύς

Circuit	Gates		Levels		Dynamic power		
	before	after	before	after	before	after	%improvement
S400.ckt	200	200	11	11	259796.5	242793.5	6.55%
S420.ckt	233	246	30	20	126469.7	98035.61	22.48%
S420_1.ckt	295	289	20	16	239034.9	220203.5	7.88%
S444.ckt	208	214	12	12	286468.9	265391.7	7.36%
S526.ckt	277	280	12	12	357910.9	328083.3	8.33%
S526N.ckt	277	280	12	12	357090.7	327181.1	8.38%
S641.ckt	482	436	92	45	1579656	893273.2	43.45%
S713.ckt	504	501	92	51	2136786	862729.4	59.63%
S820.ckt	425	425	16	16	282783.6	272666.3	3.58%
S832.ckt	429	429	16	16	281836.6	271566	3.64%
S838.ckt	607	601	28	26	257751.4	244268.3	5.23%
S838_1.ckt	607	601	28	26	257751.4	244268.3	5.23%
S953.ckt	480	480	17	17	118867.2	117563.9	1.10%
S1196.ckt	748	722	37	27	707391.5	614021.6	13.20%
S1238.ckt	754	756	37	29	715275.4	629087.5	12.05%
S1423.ckt	991	1011	110	89	680066.7	486709.7	28.43%
S5378.ckt	3018	2994	30	26	4856752	3948672	18.70%
S9234.ckt	6983	5558	79	50	4449102	2078898	53.27%
S9234_1.ckt	6983	5628	79	53	4936911	2655146	46.22%
S13207.ckt	9577	8129	78	54	5049362	4651322	7.88%
S13207_1.ckt	9577	7952	78	55	5710659	5397783	5.48%
S15850.ckt	12101	9675	103	78	6210880	5259970	15.31%
S15850_1.ckt	12101	9693	103	75	7872321	7169776	8.92%

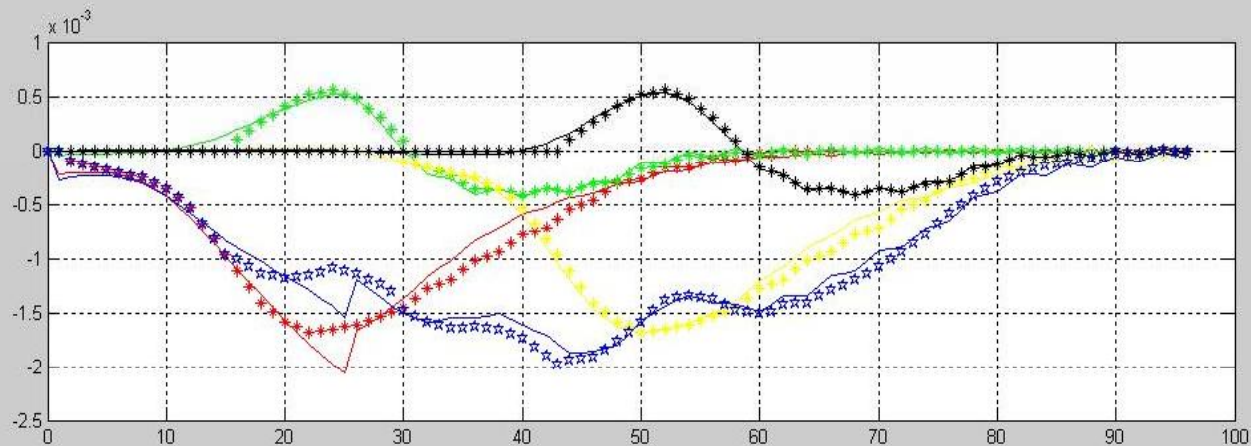


# Αποτελέσματα

voltage

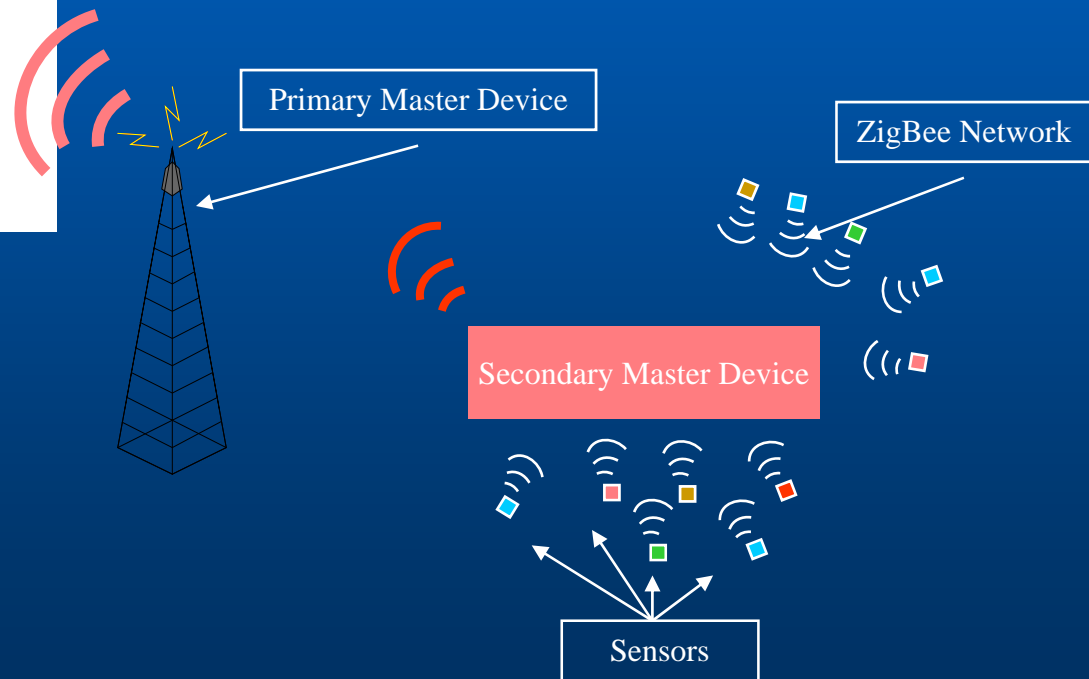
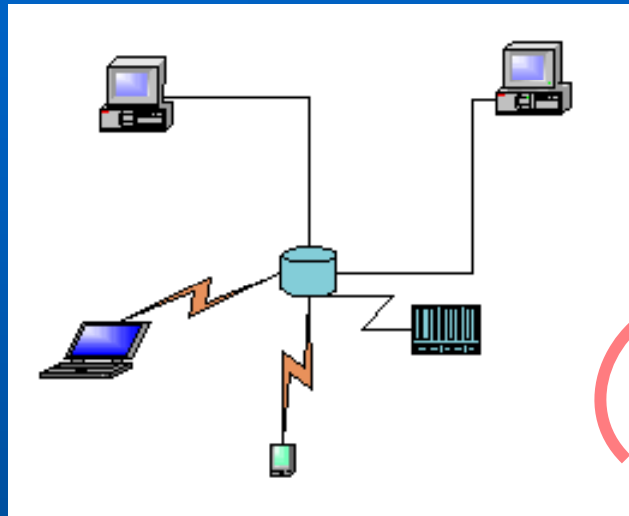


— = spice  
••••• = our tool



current

# Ασύρματα δίκτυα αισθητήρων



# Ασύρματα δίκτυα αισθητήρων

- ANAKIS: υπολογισμός κατανάλωσης ισχύος ενός ασύρματου δικτύου
- Ανάπτυξη εφαρμογών διαχείρισης δεδομένων από ασύρματα δίκτυα αισθητήρων
- Σχεδιασμός αναλογικών/ψηφιακών κυκλωμάτων ανάκτησης σημάτων